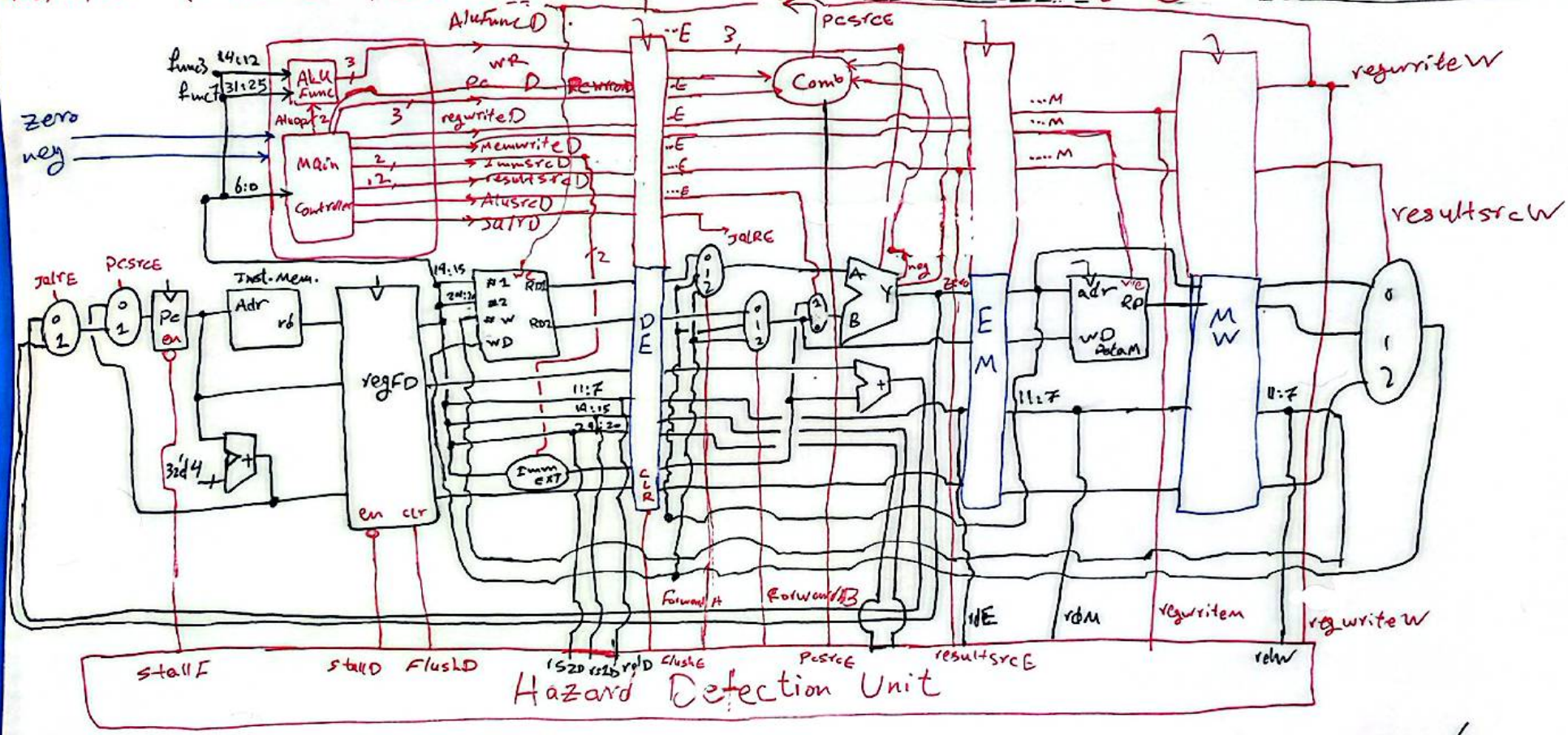
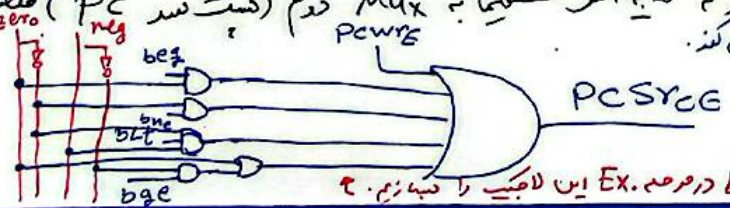
1405/03/31 پروژه سوم معماری کامپیوتر (طراحی با فت Pipeline) | سروش حقیری 810803098 | حسین مرادی 810803090

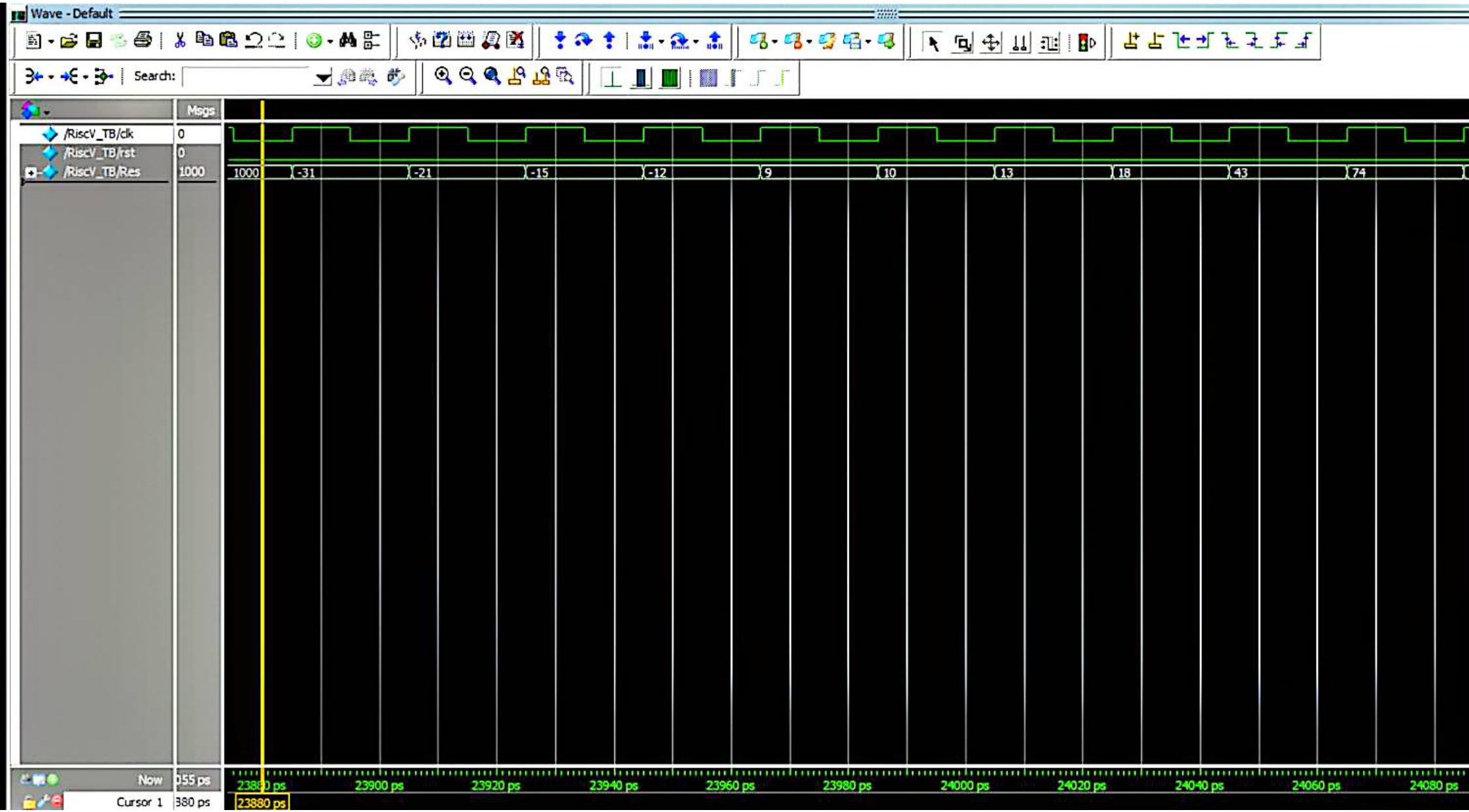


* برای اینکه قابلیت اجرای دستور Jalr فراهم شود نیاز داشتیم یک Mux و البته یک کنترل سیگنال به واحد کنترل اضافه کنیم که قبل از PCSrcE قرار بگیرد.

* PCSrcE که در مرحله Execution توسط یک مدار Combination ساده ساخته می‌شود، از سیگنال های zero و neg و Alu استفاده می‌کند و همچنین به PCWrE و pcwrcond هم نیاز دارد. مدار Comb. به صورت حقابل است. (که نتیجه اش مستقیما به Mux دوم (پشت سر PC) متصل می‌شود.) دستورات beq و bne و blt و bge را کنترل تشخیص می‌دهد و سیگنال مربوطه را 0 و 1 می‌کند.



در قسمت Main Controller، (در always اول)، اگر opcode=99 که یعنی در branch_type هستیم، براساس func3 pcwrcondx را (3 بیت) خروجی می‌دهد و در مرحله Ex. این لاجیک را پیاده‌سازی می‌کنیم.


Wave - Default
Search:
Msgs
/RiscV_TB/clk
/RiscV_TB/rst
/RiscV_TB/Res
0
0
1000
1000
-31
-21
-15
-12
9
10
13
18
43
74
Now
Cursor 1
23880 ps
23900 ps
23920 ps
23940 ps
23960 ps
23980 ps
24000 ps
24020 ps
24040 ps
24060 ps
24080 ps

CamScanner